

用于 H.264 编解码的面向 HDTV 应用的 动态可重构多变换 VLSI 结构

洪 琪, 曹 伟, 童家榕

(复旦大学专用集成电路与系统国家重点实验室, 上海 201203)

摘 要: 提出了一种新的支持 MPEG-4 AVC/H.264 标准 4×4 整数变换的动态可重构结构. 首先, 针对 4×4 正反变换分别推导了两个新的二维直接信号流图. 进而设计了一个面向 HDTV 应用的动态可重构多变换结构. 该结构无需转置寄存器且计算单元仅需 16 个加法器(减法器). 采用 $0.18\mu\text{m}$ CMOS 工艺实现了该电路结构. 结果表明, 最高工作频率可达 200MHz, 电路规模仅为 5140 门, 最大功耗仅为 15.64mW. 在 100MHz 的时钟频率下工作, 该电路即可实时处理 HDTV 1080P 的高质量视频序列. 对比现有结构, 在 HDTV 应用中, 该结构在面积和功耗方面优势明显.

关键词: H.264; 整数变换; 动态可重构结构; 信号流图

中图分类号: TP302 **文献标识码:** A **文章编号:** 0372-2112 (2011) 05-1059-05

A Dynamic Reconfigurable H.264 Multi-Transform VLSI Architecture for HDTV Application

HONG Qi, CAO Wei, TONG Jia-rong

(State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: This paper presents a new dynamic reconfigurable architecture of the 4×4 integer transforms for the MPEG-4 AVC / H.264 standard. Two novel 2-D direct signal flow graphs of the 4×4 forward and inverse transforms for H.264 are proposed. A dynamic reconfigurable multi-transform architecture without using transpose memory is proposed on the basis of the new SFGs. There are 16 adders (subtractors) in it. Our design is implemented with $0.18\mu\text{m}$ CMOS technology. The optimum clock frequency of the circuit for the multiple transforms is 200MHz which achieves 800Mpixels/s data throughput rate with the area cost of 5140 gates and the power dissipation of 15.64 mW. Under a clock frequency of 100 Mhz, the architecture allows the real-time processing of HDTV 1080P. Compared with the existing architectures, our design is more efficient in terms of area and power dissipation for HDTV application.

Key words: H.264; integer transform; dynamic reconfigurable architecture; signal flow graph

1 引言

MPEG-4 AVC/H.264 同 MPEG-2、H.263 和 MPEG-4 等视频标准相比,在同等视频质量的情况下,压缩比分别可以降低约 64%、49% 和 39%^[1]. 这种高压缩比对 HDTV 级别的应用尤为适合. H.264 对预测残差采用了整数变换技术,避免了以往标准中的 8×8 正反离散余弦变换(DCT)经常出现的失配问题. H.264 中共有三类整数变换,分别是:正/反 4×4 整数“类 DCT”变换(以下简称整数 DCT 变换)、正/反 4×4 和 2×2 的 Hadamard 变换^[2]. 尽管 H.264 标准中的整数变换的计算量较以往标

准采用的 DCT 有所减少,但仍然是编解码流程中计算量较大的关键部分且对高性能实时编解码应用仍需专用硬件支持.

现有的 H.264 整数变换硬件结构大多可以同时在同一结构中支持上述 3 种整数变换,这些结构可以分成两类:(1)将二维变换分解成两个一维变换,然后以一维变换为核心计算单元通过转置寄存器计算最终的二维变换结果.文献[3]、[4]和[5]中所提出的都属于此类的典型结构,具有每个时钟周期处理 4 个像素的能力.此类结构的优点在于一维计算较二维计算简单,缺点是由于引入转置寄存器造成了电路硬件规模相对于数据

吞吐率的效率不高;(2)直接二维变换结构,文献[6]到[9]都属于此类结构.此类结构的优点在于直接二维计算无需转置寄存器,结构的数据吞吐率和效率较一维结构有大幅提高,处理能力可达到每个时钟周期处理 8 或 16 个像素,但缺点也较为明显——需要较多的硬件资源用于二维并行计算.比如文献[7]中的结构是目前直接二维结构中计算资源最少的,还需 32 个加法器(或减法器),而象第一类结构中的一个一维变换结构仅需 8 个加法器(或减法器).

表 1 给出了 HDTV 应用中不同处理能力的多变换结构的目标工作频率.从表 1 中可以看出,具有每个时钟周期处理 4 个像素的处理能力的结构即可满足 HDTV 应用需求.虽然第一类结构的处理能力恰好满足 HDTV 需求,但转置寄存器导致的额外芯片面积开销是明显的缺点.而目前的直接二维结构以更高的计算硬件资源获得的高度并行处理能力对于 HDTV 应用也是不合适的.

表 1 不同处理能力的多变换结构在 HDTV 应用中的目标工作频率对比

目标应用	指标 (fps)	目标吞吐率 (M pixels/sec)	目标频率 (MHz)
HDTV 720p	1280 × 720 @ 60Hz	83	45 # 4 * / 22 # 8 / 11 # 16
HDTV 1080i	1920 × 1080 @ 30Hz	94	50 # 4 / 25 # 8 / 13 # 16
HDTV 1080p	1920 × 1080 @ 60Hz	188	100 # 4 / 50 # 8 / 25 # 16

注*:“#”前面的数字表示目标频率,后面的数字表示结构的处理能力(每个时钟周期所能处理的像素数),45 # 4 表示每个周期能处理 4 个像素的结构的目标工作频率是 45MHz

本文在分析 4 × 4 整数变换的计算过程后,导出了新的 4 × 4 正/反 DCT 和 Hadamard 变换的直接二维信号流图(SFG),并在此基础上针对上述两类结构的缺点,面向 HDTV 应用,提出了一个支持多变换的动态可重构结构.该结构不仅消除了转置寄存器,而且同当前的直接二维结构相比,大幅减少了用于计算的硬件资源.

2 动态可重构多变换结构设计

2.1 直接二维信号流图(SFG)推导

由于 4 × 4 的 Hadamard 变换中已经包含了 2 × 2 的 Hadamard 变换,因此,本文将集中研究 4 × 4 变换.与文献[10]类似,4 × 4 的正/反整数 DCT 变换分别由式(1)和(2)给出,式中的系数矩阵 C_f 和 C_i 由式(3)给出.

$$W = C_f X C_f^T \quad (1)$$

$$X = C_i^T W C_i \quad (2)$$

$$C_f = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 2 & 1 & -1 & -2 \\ 1 & -1 & -1 & 1 \\ 1 & -2 & 2 & -1 \end{bmatrix}, C_i = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & \frac{1}{2} & -\frac{1}{2} & -1 \\ 1 & -1 & -1 & 1 \\ \frac{1}{2} & -1 & 1 & -\frac{1}{2} \end{bmatrix} \quad (3)$$

4 × 4 的正/反 Hadamard 变换由式(4)和(5)给出,其中,系数矩阵 H 由式(6)给出.

$$Y_D = H W_D H^T / 2 \quad (4)$$

$$W_D = H^T Y_D H \quad (5)$$

$$H = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & -1 \end{bmatrix} \quad (6)$$

下面,以 4 × 4 正向整数 DCT 变换为例介绍本文提出的直接二维 SFG 的推导过程,同理可以导出其他 4 × 4 变换的 SFG.4 × 4 正向整数 DCT 可以用 2 个一维变换表示,如式(7)和(8)所示:

$$P = C_f X \quad (7)$$

$$W = P C_f^T \quad (8)$$

其中,式(8)可以重写成 $W = [C_f P^T]^T$.定义两个 2 × 2 矩阵 T_1 和 T_2 ,

$$T_1 = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}, T_2 = \begin{bmatrix} 2 & 1 \\ 1 & -2 \end{bmatrix} \quad (9)$$

通过对式(7)和(8)展开整理可知矩阵 P 和 W 中的元素满足如下关系:

$$\begin{bmatrix} P_{0j} \\ P_{2j} \end{bmatrix} = T_1 \begin{bmatrix} A_{0j} \\ A_{1j} \end{bmatrix}, \begin{bmatrix} P_{1j} \\ P_{3j} \end{bmatrix} = T_2 \begin{bmatrix} A_{2j} \\ A_{3j} \end{bmatrix} \quad (10)$$

$$\begin{bmatrix} W_{i0} \\ W_{i2} \end{bmatrix} = T_1 \begin{bmatrix} B_{i0} \\ B_{i1} \end{bmatrix}, \begin{bmatrix} W_{i1} \\ W_{i3} \end{bmatrix} = T_2 \begin{bmatrix} B_{i2} \\ B_{i3} \end{bmatrix} \quad (11)$$

上式中, P_{ij} 、 W_{ij} 、 A_{ij} 和 B_{ij} 分别是矩阵 P 、 W 、 A 和 B 的元素.这里, $i, j = 0, 1, 2, 3$.矩阵 A 和 B 中的元素由式(12)和(13)给出:

$$\begin{bmatrix} A_{0j} & A_{1j} \\ A_{2j} & A_{3j} \end{bmatrix} = T_1 \begin{bmatrix} X_{0j} & X_{1j} \\ X_{3j} & X_{2j} \end{bmatrix} \quad (12)$$

$$\begin{bmatrix} B_{i0} & B_{i1} \\ B_{i2} & B_{i3} \end{bmatrix} = T_1 \begin{bmatrix} P_{i0} & P_{i1} \\ P_{i3} & P_{i2} \end{bmatrix} \quad (13)$$

定义两个置换矩阵 M_1 和 M_2 ,如式(14)所示.通过左乘 M_1 或 M_2 使矩阵 X 、 P^T 、 A 和 B 的第 2, 3 和 4 行的位置改变,这样,矩阵 P 和 W 中的元素可以通过式(9)到(11)求出.因此,我们可以通过式(7)到式(14)推导出一个新的 4 × 4 前向 DCT 的直接二维 SFG,如图 1 所示,图中 $r = 2$ 时表示的就是前向 DCT.

$$M_1 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}, M_2 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \quad (14)$$

若 $T_2 = \begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix}$,且 $r = 1$,图 1 表示的就是 4 × 4 的 Hadamard 变换.

对于 4×4 反向 DCT, 可以采用同样的方法推导出直接二维的 SFG. 4×4 反向 DCT 的公式可重写为 $Q = C_i^T W$ 和 $X = QC_i$. 定义如下 2×2 矩阵 T_3 :

$$T_3 = \begin{bmatrix} 1 & 1/2 \\ 1/2 & -1 \end{bmatrix} \quad (15)$$

矩阵 Q 和 X 的元素满足如下关系:

$$\begin{bmatrix} Q_{0j} & Q_{1j} \\ Q_{3j} & Q_{2j} \end{bmatrix} = T_1 \begin{bmatrix} C_{0j} & C_{1j} \\ C_{2j} & C_{3j} \end{bmatrix} \quad (16)$$

$$\begin{bmatrix} X_{0j} & X_{1j} \\ X_{3j} & X_{2j} \end{bmatrix} = T_1 \begin{bmatrix} D_{0j} & D_{1j} \\ D_{2j} & D_{3j} \end{bmatrix} \quad (17)$$

上式中, Q_{ij} 、 X_{ij} 、 C_{ij} 和 D_{ij} 分别是 4×4 矩阵 Q 、 X 、 C 和 D 的元素 ($i, j = 0, 1, 2,$

3). 矩阵 C 和 D 的元素 C_{ij} 和 D_{ij} 可由式(18)和(19)求出.

$$\begin{bmatrix} C_{0j} \\ C_{1j} \end{bmatrix} = T_1 \begin{bmatrix} W_{0j} \\ W_{2j} \end{bmatrix} \text{ 和 } \begin{bmatrix} C_{2j} \\ C_{3j} \end{bmatrix} = T_3 \begin{bmatrix} W_{1j} \\ W_{3j} \end{bmatrix} \quad (18)$$

$$\begin{bmatrix} D_{0j} \\ D_{1j} \end{bmatrix} = T_1 \begin{bmatrix} Q_{0j} \\ Q_{2j} \end{bmatrix} \text{ 和 } \begin{bmatrix} D_{2j} \\ D_{3j} \end{bmatrix} = T_3 \begin{bmatrix} Q_{1j} \\ Q_{3j} \end{bmatrix} \quad (19)$$

因此,可以推导出 4×4 反向 DCT 的直接二维 SFG, 如图 2 所示.

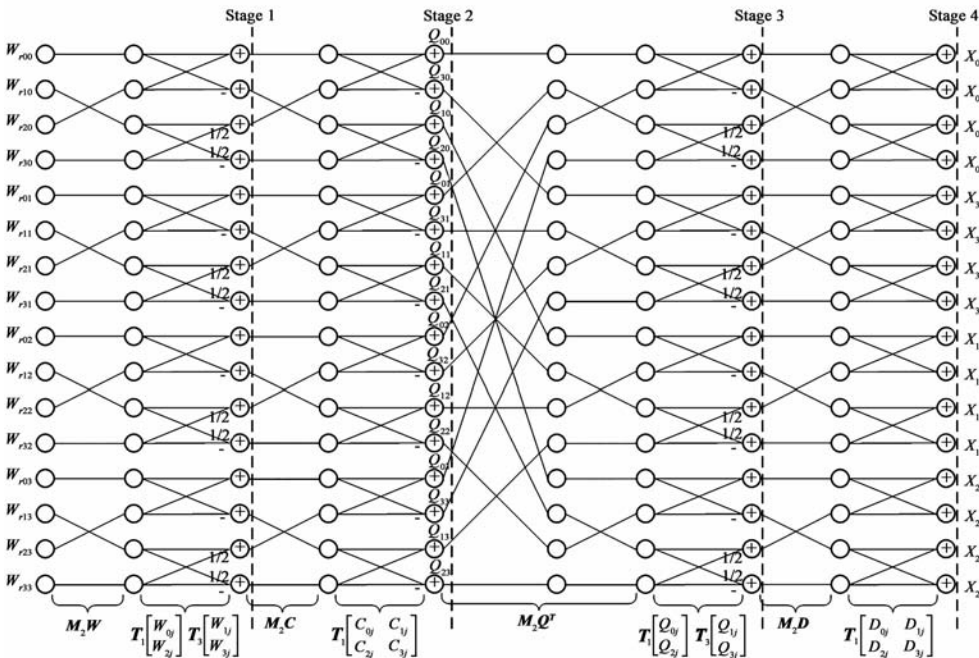


图2 4×4 反向 DCT 的 SFG

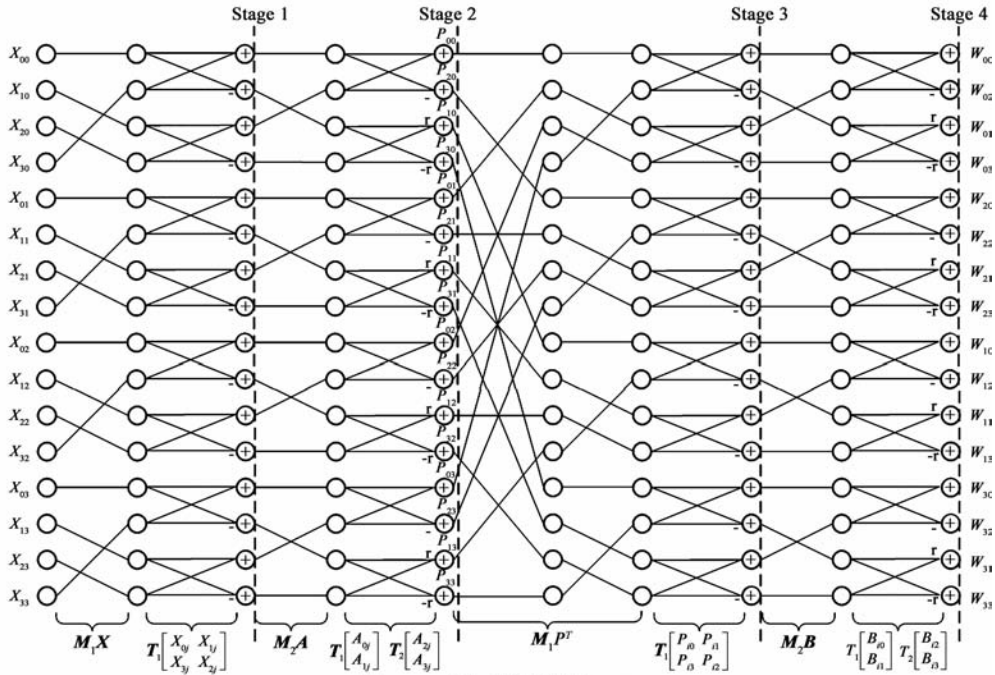


图1 4×4 前向整数变换的 SFG

2.2 动态可重构 VLSI 结构设计

我们可以合并图 1 和 2 中的 SFG 来获得一个同时支持 3 种变换且无需转置寄存器的可重构直接二维并行结构. 这种结构的处理能力高达每时钟周期 16 个像素, 正如引言中所分析的那样, 用于并行计算的硬件资源规模过大——需要 64 个加法器(或减法器). 因此, 在满足 HDTV 的性能需求前提下, 为降低硬件规模, 我们将上述 SFG 按着计算顺序划分成 4 个阶段 Stage1 ~ 4

(如图 1 和 2 所示), 采用 1 组可重构的计算单元通过在计算过程中的动态重构来实现 4 个阶段的计算. 该结构如图 3(a) 所示, 由 8 个 PE (Processing Element, 处理单元)、1 个输入选择器 MUX 和 1 个可重构互连开关阵列 Pro-Interconnection 组成. 结构中共有 2 种 PE, 分别为功能固定的 PE1 和可编程的 PE2, 可实现图 3(b) 中的 3 种功能. 其中, PE1 的功能固定为 A; PE2 的功能为 A、B 或 C. 输入选择器 MUX 在信号 CO 的控制下选择输入数据 Data_In 或输出 Data_Out 的反馈信

号输出到 *Pro_ Interconnection*. *Pro_ Interconnection* 可以动态重构实现图 4 中的 4 种互连功能 *I0* 到 *I3*, 分别对应 SFG 中 4 个阶段的矩阵变换.

表 2 给出了该结构实现不同变换时, PE 和可编程互连线对应的不同配置. 其中, *C0* 为 0 时, MUX 选择 *Data_In* 输出, 反之选择反馈输出. *C1 ~ 2* 为 00 到 11 的 4 组信号分别对应 *Pro_ Interconnection* 的 *I0* 到 *I3* 四种功能. 在整个计算过程中, 一个 4×4 块的残差数据并行输入, 经过 4 个时钟周期, 最终的变换结果在一个时钟周期并行输出. 这样, 该结构 4 个时钟周期可完成一个 4×4 块的变换运算, 即每个周期可以处理 4 个像素. 在编解码过程中, 该结构可以根据流程的要求进行动态重构来实现相应的变换. 每一种配置过程仅为一个周期, 且动态重构过程中的每次配置变化可以在前一次功能运行的最后一个周期同时进行, 因此, 重构的时间不占用运行时间.

本结构的计算单元仅为 16 个加法器(减法器), 且无需转置寄存器, 在满足 HDTV 性能要求的前提下, 计算单元的数目较文献[7]节省了 50%.

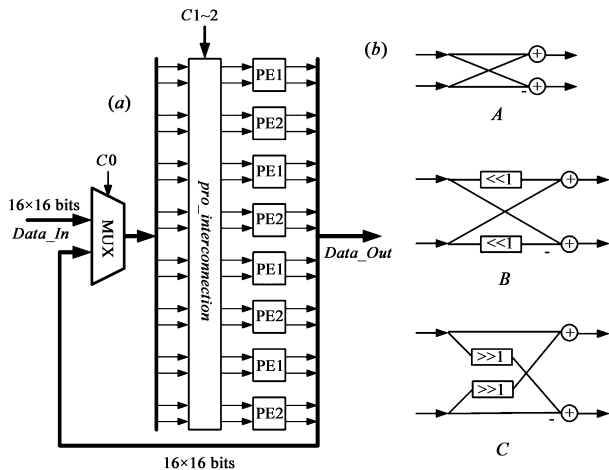


图3 (a) 支持多变换的可重构结构;(b) PE的3种功能

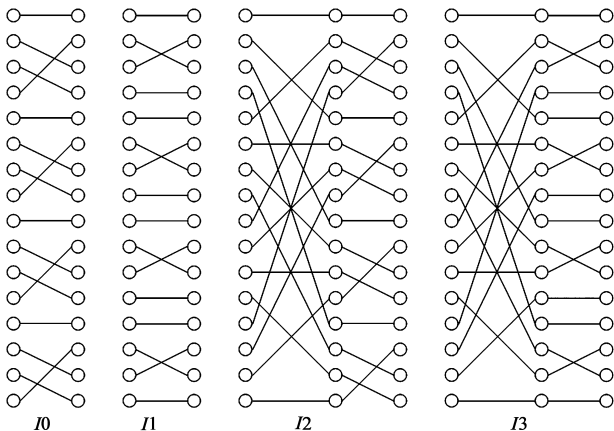


图4 *Pro_ Interconnection*的功能

表 2 实现不同变换的不同配置

	PE1	PE2	<i>C0</i>	<i>C1 ~ 2</i>
FDCT	A	$A \rightarrow B \rightarrow A \rightarrow B$	$0 \rightarrow 1 \rightarrow 1 \rightarrow 1$	$00 \rightarrow 01 \rightarrow 10 \rightarrow 01$
Hadamard	A	A	$0 \rightarrow 1 \rightarrow 1 \rightarrow 1$	$00 \rightarrow 01 \rightarrow 10 \rightarrow 01$
IDCT	A	$C \rightarrow A \rightarrow C \rightarrow A$	$0 \rightarrow 1 \rightarrow 1 \rightarrow 1$	$01 \rightarrow 01 \rightarrow 11 \rightarrow 01$

3 结果分析与比较

采用 TSMC $0.18 \mu\text{m}$ CMOS 标准单元库以 TOP-DOWN 的方法实现了本文提出的动态可重构多变换结构的电路. 其中, 整个结构采用 Verilog 硬件语言描述并仿真验证通过, 仿真数据利用 H.264 的参考软件 JM84 截取, 仿真软件是 Cadence 的 NC-Verilog, 综合、功耗分析及布局布线软件分别采用 Synopsys 公司的 Design-Compiler、Power-Compiler 和 Astro. 电路中的可编程开关采用多路选择器实现. 电路的面积约为 5140 等效门(2 输入与非门), 最高工作频率为 200MHz, 此时的功耗为 15.64mW. 该电路在最高工作频率下, 可实时处理分辨率为 4096×2048 、每秒 30 帧的高质量视频序列; 在 100MHz 的频率下, 即可实时处理 1080P 的视频序列. 表 3 给出了我们的设计对应 HDTV 的 3 个级别的工作频率和功耗.

表 3 HDTV 不同级别下的本结构的工作频率和功耗

目标应用	频率(MHz)	功耗(mW)
HDTV 720p	45	4.02
HDTV 1080i	50	4.26
HDTV 1080p	100	7.79

表 4 给出了本文提出的多变换可重构结构同现有典型结构的主要性能指标对比, 由于文献[6]中的结构仅为支持正向变换的直接二维结构, 且没有给出电路实现结果, 故没有将其在表中比较. 表 4 中, DPR 表示每个时钟周期处理的像素数(单位: pixels/cycle), TP 表示吞吐率(每秒钟所能处理的像素数, 单位: pixels/s). 从表中可以看出, 同文献[7]中提出的目前硬件规模最小的直接二维结构相比, 在达到相同的吞吐率的情况下, 本文的结构在电路面积方面降低约 20.7%, 功耗降低约 35.3%.

表 4 本文结构同现有典型结构主要性能指标对比

	Wang[3]	Liu[5]	Chen[7]	Kor.[8]	Peng[9]	This work
工艺(μm)	0.35	0.35	0.18	FPGA	0.18	0.18
面积(gate)	6538	352	4648	277280	9166	5140
最高频率(MHz)	80	129	100	107	156	200
最大功耗(mW)	—	—	24.18	—	29.89	15.64
DPR	4	—	8	16	16	4
TP	320M	129M	800M	1.7G	2.4G	800M

4 结论

支持 H.264 整数变换的现有结构存在明显的缺点. 本文在分析 H.264 中的 4×4 整数变换计算规律的

基础上,推导出了 2 个新的二维并行 SFG. 进而提出了一种无需转置寄存器的、支持多变换的动态可重构结构. 该结构的计算单元仅用了 16 个加法器(减法器). 采用 0.18 μm CMOS 标准单元库对该结构的电路实现结果表明:电路规模仅为 5140 门,在最大工作频率 200MHz 时的数据吞吐率达 800M,功耗仅为 15.64mW. 同现有结构相比,本文的结构在 HDTV 级别的应用中,电路规模和功耗指标,优势明显.

参考文献

- [1] Joch A, et al. Performance comparison of video coding standards using lagragian coder control[A]. Proceedings of IEEE International Conference on Image Processing[C]. Canada: University of British Columbia Press, 2002. 501 – 504.
- [2] 张淑芳, 李华. 基于 H.264 的多参考帧快速选择算法[J]. 电子学报, 2009, 37(1): 62 – 66.
Zhang Shufang, Li Hua. A Multi-Reference Frames Fast Selection Algorithm for H.264[J]. Acta Electronica Sinica, 2009, 37(1): 62 – 66. (in Chinese)
- [3] Wang T C, et al. Parallel 4×4 2D transform and inverse transform architecture for MPEG-4 AVC/H.264 [A], Proceedings of IEEE International Symposium on Circuits and Systems[C]. Bangkok Thailand: Mahanakorn University of Technology Press, 2003. 800 – 803.
- [4] Huang Y W, et al. Analysis, fast algorithm, and VLSI architecture design for H.264/AVC intra frame coder[J]. IEEE Transactions on Circuits and Systems for Video Technology, March 2005, 15(3): 378 – 401.
- [5] Liu L Z, et al. A 2-D forward/inverse integer transform processor of H.264 based on highly-parallel architecture [A]. Proceedings of IEEE International Workshop System-on-Chip Real-Time Application[C]. USA: IEEE Computer Society Washington DC Press, 2004. 158 – 161.
- [6] Fan C P. Fast 2-dimensional 4×4 forward integer transform implementation for H.264/AVC [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2006, 53(3): 174 – 177.
- [7] Chen K H, et al. A high-performance direct 2-D transform cod-

ing IP design for MPEG-4AVC/H.264[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2006, 16(4): 472 – 483.

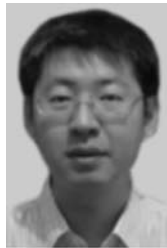
- [8] Lin H Y, et al. Combined 2-D transform and quantization architectures for H.264 video coders[A]. Proceedings of IEEE International Symposium on Circuits and Systems[C]. Kobe, Japan: University of Kobe Press, 2005. 1802 – 1805.
- [9] Peng C, et al. A new high throughput VLSI architecture for H.264 transform and quantization[A]. 7th International Conference on ASIC2007 [C]. Guilin: University of Fudan Press, 2007. 950 – 953.
- [10] 曹伟. 一种用于 H.264 编解码的新型高效可重构多变换 VLSI 结构[J]. 电子学报, 2009, 37(4): 673 – 677.
Cao Wei, et al. A High-Performance Reconfigurable Multi-Transform VLSI Architecture for H.264 CODEC [J]. Acta Electronica Sinica, 2009, 37(14): 673 – 677. (in Chinese)

作者简介



洪 琪 男, 2008 年 6 月获安徽大学博士学位, 现在复旦大学电子科学与技术博士后流动站从事科研工作, 主要研究方向为可重构计算、视频和图像处理关键算法的 VLSI 实现以及片上网络研究.

E-mail: hongqi@fudan.edu.cn



曹 伟(通信作者) 男, 2006 年 6 月获哈尔滨工业大学博士学位, 现为复旦大学微电子研究院助理研究员, 主要研究方向为可重构计算、视频和图像处理关键算法的 VLSI 实现以及可编程逻辑器件.

E-mail: caow@fudan.edu.cn

童家榕 男, 教授, 博导, 1965 年毕业于复旦大学物理系, 分别于 1988 年和 1995 年在美国 EDS 公司和德州 A&M 大学访问研究共两年. 主要从事电子电路和系统设计及集成电路计算机辅助设计软件算法和模块的研究.

E-mail: jrtong@fudan.edu.cn